

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Kitahara, et al.

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: April 2, 2004

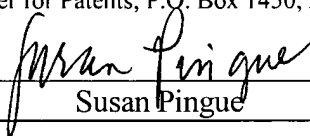
Examiner: Not yet assigned

Title: AUTOMATIC CIRCUIT DESIGN APPARATUS, METHOD FOR
AUTOMATICALLY DESIGNING A CIRCUIT, AND COMPUTER
PROGRAM PRODUCT FOR EXECUTING AN APPLICATION FOR AN
AUTOMATIC CIRCUIT DESIGN APPARATUS

EXPRESS MAIL NUMBER: EV 302280519 US

DATE OF DEPOSIT: April 2, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.


Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

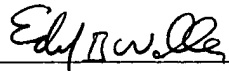
<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2003-370942	October 30, 2003

A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: April 2, 2004

By 
Edward B. Weller
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application
as filed with this Office:

Date of Application: October 30, 2003

Application Number: P2003-370942
[ST.10/C]: [JP2003-370942]

Applicant(s): KABUSHIKI KAISHA TOSHIBA
TOSHIBA MICROELECTRONICS KABUSHIKI KAISHA

December 24, 2003

Commissioner:
Japan Patent Office Yasuo IMAI

Number of Certificate: 2003-3106715

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月30日
Date of Application:

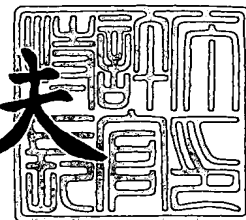
出願番号 特願2003-370942
Application Number:
[ST. 10/C]: [JP 2003-370942]

出願人 株式会社東芝
Applicant(s): 東芝マイクロエレクトロニクス株式会社

2003年12月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫





【書類名】 特許願
【整理番号】 ASB033089
【提出日】 平成15年10月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/82
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 北原 健
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 山田 正昭
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 河邊 直之
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 金沢 正博
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 瀬田 克弘
【発明者】
 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内
 【氏名】 古澤 敏行
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【特許出願人】
 【識別番号】 000221199
 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社
【代理人】
 【識別番号】 100083806
 【弁理士】
 【氏名又は名称】 三好 秀和
 【電話番号】 03-3504-3075
【選任した代理人】
 【識別番号】 100068342
 【弁理士】
 【氏名又は名称】 三好 保男
【選任した代理人】
 【識別番号】 100100712
 【弁理士】
 【氏名又は名称】 岩▲崎▼ 幸邦



【選任した代理人】
【識別番号】 100100929
【弁理士】
【氏名又は名称】 川又 澄雄
【選任した代理人】
【識別番号】 100108707
【弁理士】
【氏名又は名称】 中村 友之
【選任した代理人】
【識別番号】 100095500
【弁理士】
【氏名又は名称】 伊藤 正和
【選任した代理人】
【識別番号】 100101247
【弁理士】
【氏名又は名称】 高橋 俊一
【選任した代理人】
【識別番号】 100098327
【弁理士】
【氏名又は名称】 高松 俊雄
【手数料の表示】
【予納台帳番号】 001982
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、前記設計対象回路における仮想グラウンド線の上限電位を設定する設定部と

、
前記回路情報、前記通常セル用セルライブラリ、及び前記低閾値セル用セルライブラリに基づきレイアウトを作成する配置配線部
とを備えることを特徴とする回路自動設計装置。

【請求項 2】

前記上限電位を用いて前記低閾値セル用セルライブラリを作成するセルライブラリ作成部を更に備えることを特徴とする請求項 1 に記載の回路自動設計装置。

【請求項 3】

前記配置配線部は、

前記通常セル用セルライブラリ、前記低閾値セル用セルライブラリ、及びタイミング制約に基づき、ネットリストに通常セル及び低閾値セルを配置して配置データを作成する配置部と、

前記配置データを配線処理して前記レイアウトを作成する配線部と、

前記仮想グラウンド線の電位が前記上限電位を超えた場合に前記仮想グラウンド線に接続するスイッチセルの構造を最適化するスイッチセル最適化部

とを備えることを特徴とする請求項 2 に記載の回路自動設計装置。

【請求項 4】

前記設定部は、

前記仕様情報、前記上限電位、及び前記タイミング制約を取得するデータ取得部と、

前記低閾値セルのグラウンド端子の電位を前記上限電位に設定する上限電位設定部

とを備えることを特徴とする請求項 3 に記載の回路自動設計装置。

【請求項 5】

前記設定部は、

前記仕様情報、前記タイミング制約、及び配線パラメータを取得するデータ取得部と、

前記仕様情報に基づき、前記通常セル及び前記低閾値セルのセル数を予測して各セルの許容遅延時間を算出するタイミング制約判定部と、

前記通常セル用セルライブラリとトランジスタ特性とに基づき、前記スイッチセルのオン抵抗を算出するオン抵抗算出部と、

前記配線パラメータ及び前記オン抵抗に基づき、前記低閾値セルの放電時間を算出し、前記放電時間から前記低閾値セルの遅延時間を算出する放電時間算出部と、

前記許容遅延時間と前記遅延時間とを比較して前記上限電位を算出する上限電位算出部と、

前記低閾値セルのグラウンド端子の電位を前記上限電位に設定する上限電位設定部

とを備えることを特徴とする請求項 3 に記載の回路自動設計装置。

【請求項 6】

前記セルライブラリ作成部は、

前記低閾値セルの遅延時間を算出する遅延時間算出部と、

前記遅延時間に基づいて前記低閾値セル用セルライブラリを作成する低閾値セル用セルライブラリ作成部

とを備えることを特徴とする請求項 2 に記載の回路自動設計装置。

【請求項 7】

追加回路の有無を判定し、前記通常セル用セルライブラリ及び前記低閾値セル用セルライブラリを用いて前記追加回路に対して前記レイアウトを作成する回路追加判定部と、

前記通常セル用セルライブラリ、前記低閾値セル用セルライブラリ、及び前記タイミング制約に基づき、前記レイアウトをタイミング解析するタイミング解析部と、

前記タイミング解析の結果に応じて前記レイアウトの一部修正の有無を判定する回路修正判定部

とを更に備えることを特徴とする請求項 3 に記載の回路自動設計装置。

【請求項 8】

前記配置部は、

前記ネットリストに基づいてフリップフロップ及び前記通常セルを配置する通常セル配置部と、

前記タイミング制約を判定して前記タイミング制約を満たさない前記通常セルを前記低閾値セルに置換する低閾値セル配置部と、

前記仮想グラウンド線とグラウンドとの間に前記スイッチセルを配置するスイッチセル配置部と、

前記仮想グラウンド線を共有する前記低閾値セルと前記スイッチセルとの距離を短縮させる抵抗最小化部

とを備えることを特徴とする請求項 3 に記載の回路自動設計装置。

【請求項 9】

前記配線部は、

前記フリップフロップに対してクロック配線をするクロック配線部と、

前記通常セル、前記低閾値セル、及び前記スイッチセルのそれぞれに対して配線処理をする一般配線部と、

段数の等しい前記低閾値セルに接続する前記仮想グラウンド線を他の段数に存在する前記低閾値セルに接続するように変更する仮想グラウンド線最適化部

とを備えることを特徴とする請求項 8 に記載の回路自動設計装置。

【請求項 10】

通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、前記設計対象回路における仮想グラウンド線の上限電位を設定するステップと、

前記回路情報、前記通常セル用セルライブラリ、及び前記低閾値セル用セルライブラリに基づきレイアウトを作成するステップ

とを含むことを特徴とする回路自動設計方法。

【請求項 11】

コンピュータに、

通常セル用セルライブラリ及び設計対象回路の仕様情報を取得して前記設計対象回路における仮想グラウンド線の上限電位を設定する手順と、

前記上限電位を用いて低閾値セル用セルライブラリを作成する手順と、

前記仕様情報を論理合成してネットリストを生成する手順と、

前記ネットリスト、前記通常セル用セルライブラリ、及び前記低閾値セル用セルライブラリに基づきレイアウトを作成する手順

とを実行させるための回路自動設計プログラム。

【書類名】明細書

【発明の名称】回路自動設計装置、回路自動設計方法及び回路自動設計プログラム

【技術分野】

【0001】

本発明は、半導体集積回路の設計技術に関し、特に、CMOSトランジスタのリーク電流を削減可能な回路を自動的に設計する回路自動設計装置、回路自動設計方法及び回路自動設計プログラムに関する。

【背景技術】

【0002】

半導体集積回路の微細化及び電源電圧の低電圧化と比例して、トランジスタの閾値電圧の低化が進んでいる。トランジスタの閾値電圧低下により、CMOSトランジスタのリーク電流が増大する。CMOSトランジスタのリーク電流の増大は、消費電力量が制限される移動体通信機器等において深刻な問題となる。リーク電流の低減を目的として、論理回路を低閾値電圧トランジスタにより構成されるセル（以下において「低閾値セル」という。）により構成し、低閾値セルとグラウンドとの間にスイッチセルを配置する手法が提案されている（例えば、特許文献1参照。）。また、低閾値セルは高速動作可能であるため、パス遅延時間の短縮に大きな効果がある。

【0003】

低閾値セルは高速動作可能であるが、微小な入力電圧でオンするためにリーク電流量が多い。これに対して通常のトランジスタにより構成されるセル（以下において「通常セル」という。）は低閾値トランジスタと比してリーク電流量が少ないが動作速度は遅い。スイッチセルはスタンバイ時にはオフ状態となり、低閾値セルからのリーク電流を遮断可能である。スイッチセルは通常動作時にはオン状態となる。

【特許文献1】特開2003-101397号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

通常動作時にグラウンド線に生じるリーク電流は、セルの出力信号が立ち下がる際に最大となる。よって、1つのスイッチセルに多数の低閾値セルが接続される場合、スイッチセルに大量の電流が流れ込む。スイッチセルに大量の電流が流れ込むと、スイッチセルのオン抵抗に起因してリーク電流の放電時間が増加する。この結果、スイッチセルに接続された低閾値セルの出力信号が急峻に立ち下がらず、低閾値セルの遅延時間が増大する。したがって、低閾値セルの放電時間増加に起因する遅延時間（以下において「放電遅延」という。）を考慮したパス遅延解析が必要であった。放電遅延を考慮した遅延時間解析は、通常の回路の遅延解析と比して処理時間が増大する。或いは、スイッチセル面積を増加させることにより放電時間を短縮可能であるが、設計された回路の回路規模が増大する。

【0005】

上記問題点を鑑み、本発明は、小回路規模且つ低消費電力動作可能な半導体集積回路を短期間で設計可能な回路自動設計装置、回路自動設計方法及び回路自動設計プログラムを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成する為に、本発明の第1の特徴は、（イ）通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、設計対象回路における仮想グラウンド線の上限電位を設定する設定部；（ロ）回路情報、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する配置配線部を備える回路自動設計装置であることを要旨とする。

【0007】

本発明の第2の特徴は、（イ）通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、設計対象回路における仮想グラウンド線の上

限電位を設定するステップ；（ロ）回路情報、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成するステップを含む回路自動設計方法であることを要旨とする。

【0008】

本発明の第3の特徴は、コンピュータに、（イ）通常セル用セルライブラリ及び設計対象回路の仕様情報を取得して設計対象回路における仮想グラウンド線の上限電位を設定する手順；（ロ）上限電位を用いて低閾値セル用セルライブラリを作成する手順；（ハ）仕様情報を論理合成してネットリストを生成する手順；（ニ）ネットリスト、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する手順を実行させるための回路自動設計プログラムであることを要旨とする。

【発明の効果】

【0009】

本発明によれば、小回路規模且つ低消費電力動作可能な半導体集積回路を短期間で設計可能な回路自動設計装置、回路自動設計方法及び回路自動設計プログラムを提供できる。

【発明を実施するための最良の形態】

【0010】

次に、図面を参照して、本発明の第1～第3の実施の形態を説明する。この実施の形態における図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0011】

（第1の実施の形態）

本発明の第1の実施の形態に係る回路自動設計装置1aは、図1に示すように、処理装置10a、処理装置10aに接続された入力装置41、出力装置42、補助記憶装置43、主記憶装置44、及びデータ記憶装置30aを備える。処理装置10aは、設定部2a、セルライブラリ作成部3、論理合成部4、及び配置配線部5a、及びタイミング解析部6を備える。設定部2aは、通常セル用セルライブラリ及び設計対象回路の仕様情報を取得し、設計対象回路における仮想グラウンド線の上限電位を設定する。ここで「仕様情報」とは、例えばレジスタトランスファレベル（RTL）設計段階においてハードウェア記述言語（HDL）等を用いて記述された論理式等を意味する。セルライブラリ作成部3は、上限電位を用いて低閾値セル用セルライブラリを作成する。「低閾値セル」とは、通常セル内のトランジスタと比して低閾値電圧のトランジスタで構成されたセルであることを意味する。「セルライブラリ」とは、例えば、各セルの遅延時間等のパラメータ及びレイアウトのデータを有する情報であることを意味する。

【0012】

また、論理合成部4は仕様情報を論理合成してネットリストを生成する。配置配線部5aはネットリスト、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する。タイミング解析部6は通常セル用セルライブラリ、低閾値セル用セルライブラリ、及びタイミング制約に基づき、レイアウトをタイミング解析する。

【0013】

更に、設定部2aは図2に示すように、データ取得部21a及び上限電位設定部22を備える。データ取得部21aは仕様情報、上限電位、及びタイミング制約を取得する。上限電位設定部22は低閾値セルのグラウンド端子の上限電位を取得した上限電位に設定する。

【0014】

セルライブラリ作成部3は、図3に示すように遅延時間算出部31及び低閾値セル用セルライブラリ作成部32を備える。遅延時間算出部31は低閾値セルの遅延時間を算出する。低閾値セル用セルライブラリ作成部32は算出された遅延時間に基づいて低閾値セル用セルライブラリを作成する。

【0015】

また、配置配線部5aは、図4に示すように、配置部51、配線部52、及びスイッチ

セル最適化部 53 を備える。配置部 51 は、通常セル用セルライブラリ、低閾値セル用セルライブラリ、及びタイミング制約に基づき、ネットリストに通常セル及び低閾値セルを配置する。配線部 52 は配置データを配線処理してレイアウトを作成する。スイッチセル最適化部 53 は、仮想グラウンド線の電位が上限電位を超えた場合に仮想グラウンド線に接続するスイッチセルの構造を最適化する。ここで「最適化」とは、例えばスイッチセル面積の増大及びスイッチセル数の増加等を意味する。

【0016】

更に配置部 51 は、通常セル配置部 51a、低閾値セル配置部 51b、及びスイッチセル配置部 51c を備える。通常セル配置部 51a は、ネットリストに基づいてフリップフロップ (F/F) 及び通常セルを配置する。低閾値セル配置部 51b は、タイミング制約を判定してタイミング制約を満たさない通常セルを低閾値セルに置換する。スイッチセル配置部 51c は、仮想グラウンド線とグラウンドとの間にスイッチセルを配置する。尚、スイッチセル配置部 51c は、通常セルの入力に出力が接続される低閾値セルと高位電源との間にホルダーセルを配置する。

【0017】

これに対して配線部 52 は、クロック配線部 52a 及び一般配線部 52b を備える。クロック配線部 52a は、F/F に対してクロック配線をする。一般配線部 52b は通常セル、低閾値セル、及びスイッチセルのそれぞれに対して配線処理をする。

【0018】

一方、図 1 に示すデータ記憶装置 30a は、図 5 に示すように、仕様情報格納領域 310、タイミング制約格納領域 320、上限電位格納領域 330a、第 1 セルライブラリ格納領域 340、第 2 セルライブラリ格納領域 350、ネットリスト格納領域 360、配置データ格納領域 370、レイアウト格納領域 380、及び配線パラメータ格納領域 390 を備える。

【0019】

仕様情報格納領域 310 には、設計対象回路の仕様情報が予め格納される。タイミング制約格納領域 320 には、設計対象回路のタイミング制約が予め格納される。上限電位格納領域 330a には、仮想グラウンド線の上限電位のデータが予め格納される。第 1 セルライブラリ格納領域 340 には、通常セル用セルライブラリが予め格納される。第 2 セルライブラリ格納領域 350 には、図 3 に示す低閾値セル用セルライブラリ作成部 32 が作成する低閾値セル用セルライブラリが格納される。ネットリスト格納領域 360 には、図 1 に示す論理合成部 4 が作成するゲートレベルのネットリストが格納される。或いは、ネットリストは予めネットリスト格納領域 360 に格納されている。配置データ格納領域 370 には、図 4 に示す配置部 51 が作成する配置データが格納される。レイアウト格納領域 380 には、図 4 に示す配線部 52 が作成するレイアウト結果が格納される。配線パラメータ格納領域 390 には、設計対象回路に用いる配線の配線容量及び配線抵抗等のパラメータが格納される。但し、データ記憶装置 30a に格納される情報は、図 1 に示す補助記憶装置 43 に含まれる構成でも良い。

【0020】

尚、図 1 に示す回路自動設計装置 1a は、図示を省略するデータベース制御装置及び入出力制御装置を備える。データベース制御装置は、データ記憶装置 30a に対して必要なファイルの格納場所を検索し、読み出し及び書き込みを行う。これに対して入出力制御装置は、入力装置 41 からのデータを受け取り、処理装置 10a に伝達する。即ち入出力制御装置は、入力装置、出力装置、或いは CD-ROM、光磁気ディスク (MO)、フレキシブルディスク等の補助記憶装置の読取装置等を処理装置 10a に接続するインターフェイスである。データの流れから見ると、入出力制御装置は、入力装置 41、出力装置 42、補助記憶装置 43、及び外部記憶装置の読取装置と主記憶装置 44 とのインターフェイスとなる。また入出力制御装置は、処理装置 10a からのデータを受け取り、出力装置 42 及び補助記憶装置 43 等へ伝達する。

【0021】

更に、図1に示す入力装置41としては、例えば、キーボード、マウス、光学式文字読取装置(OCR)等の認識装置、イメージスキャナ等の図形入力装置、及び音声認識装置等の特殊入力装置が使用できる。出力装置42としては、例えば、液晶ディスプレイ、CRTディスプレイ等の表示装置、インクジェットプリンタ、レーザープリンタなどの印刷装置が使用できる。主記憶装置44には、ROM及びRAMが組み込まれている。ROMは、処理装置10aにおいて実行されるプログラムを格納するプログラム記憶装置等として機能する。これに対してRAMは、処理装置10aにおけるプログラム実行処理中に利用されるデータ等を一時的に格納したり、作業領域として利用される一時的なデータメモリ等として機能する。

【0022】

次に図1～図8を用いて、第1の実施の形態に係る回路自動設計方法を説明する。第1の実施の形態に係る回路自動設計方法の説明においては、図7に示す論理回路を自動設計する場合を例に説明する。図7に示す論理回路は、F/F11a～11f、否定論理積(NAND)回路210a～210d、インバータ220a～220c、及びスイッチセル230を備える。NAND回路210a、210d、及びインバータ220bは低閾値セルとして構成されている。尚、スイッチセル230は、仮想グラウンド線70にドレインが接続され、スイッチ端子90にゲートが接続され、グラウンドGNDにソースが接続されたスイッチセルTr1を備える。スイッチセルTr1は通常動作時において、スイッチ端子90を介して伝達されるイネーブル信号によりオン状態となる。図7に示すNAND回路210aは図8に示すように、入力端子211a、211b、スイッチセルTr4～Tr7、出力端子211c、及びグラウンド端子211dを備える2入力NAND回路である。また、図7に示すインバータ220bは図8に示すように、入力端子221a、スイッチセルTr8、Tr9、出力端子221b、及びグラウンド端子221cを備えるCNOTインバータである。

【0023】

(イ) 先ず、図6のステップS121において、図2に示すデータ取得部21aは、図5に示す仕様情報格納領域310に格納された設計対象回路の仕様情報を取得する。更に、データ取得部21aは、タイミング制約格納領域320、上限電位格納領域330a、及び第1セルライブラリ格納領域340のそれぞれから設計対象回路のタイミング制約、仮想グラウンド線の上限電位データ、及び通常セル用セルライブラリを取得する。データ取得部21aが取得した上限電位データは図2に示す上限電位設定部22に供給される。また、データ取得部21aが取得した回路の仕様情報は上限電位設定部22及び論理合成部4に供給され、タイミング制約は図1に示す論理合成部4及びタイミング解析部6、図9に示す低閾値セル配置部51b及びスイッチセル最適化部53に供給される。通常セル用セルライブラリはタイミング解析部6及び図4に示す通常セル配置部51aに供給される。

【0024】

(ロ) 次に、ステップS122において、上限電位設定部22は、上限電位データ及び仕様情報を用いて、図7に示す仮想グラウンド線70の上限電位を設定する。この結果、例えば図8に示す低閾値セル、即ちNAND回路210a及びインバータ220bのそれぞれのグラウンド端子211d、221cの電位が上限電位に設定される。尚、論理合成が実行されていないため、図7及び図8に示すF/F11a～11f、NAND回路210a～210d、インバータ220a～220c、及びスイッチセル230はこの段階では存在しない。

【0025】

(ハ) 次に、ステップS131において、図3に示す遅延時間算出部31は、低閾値セルの遅延時間を算出する。遅延時間算出部31は、例えば図8においては、グラウンド端子211d、221cに設定された電位に基づいて、NAND回路210a及びインバータ220bのそれぞれの遅延時間を算出する。実際には遅延時間算出部31は、インバータ、論理積(AND)回路、論理和(OR)回路、NAND回路、否定論理和(NOR)

回路、及び排他的論理和（EOR）回路等のすべての通常セル用セルライブラリに対応する低閾値セル用セルライブラリの遅延時間を算出する。

【0026】

(二) 次に、ステップS132において、図3に示す低閾値セル用セルライブラリ作成部32は、遅延時間算出部31が算出した遅延時間に応じて低閾値セル用セルライブラリを作成する。低閾値セル用セルライブラリは図5に示す第2セルライブラリ格納領域350に格納される。尚、低閾値セル用セルライブラリが予め用意されている場合には、ステップS131及びステップS132は不要である。更にステップS104において、図1に示す論理合成部4は仕様情報を論理合成する。この結果、例えば図7に示すゲートレベルのネットリストが生成される。論理合成部4が生成したネットリストは図5に示すネットリスト格納領域360に格納される。但し、ネットリストが予め用意されている場合には、ステップS104は不要である。

【0027】

(ホ) 次に、ステップS151において、図4に示す通常セル配置部51aは、ネットリストに基づいて通常セルを配置する。この結果、図7に示すNAND回路210a～210d及びインバータ220a～220cが通常セルとして配置される。更にステップS152において、図4に示す低閾値セル配置部51bは、ステップS151の結果に対してタイミング制約を満たすか否かを判定する。例えばクリティカルパス、即ちF/F11aとF/F11fとの間のパスがタイミング制約を満たさないと判断された場合、NAND回路210a、210d及びインバータ220bを低閾値セルに置換する。またステップS153において、図4に示すスイッチセル配置部51cは、低閾値セル、即ちNAND回路210a、210d及びインバータ220bに対してスイッチセル230を配置して割り付ける。尚、図7に示す回路例においては、近くに存在する複数の低閾値セルからなる低閾値セル群、即ちNAND回路210a、210d、及びインバータ220bに1つのスイッチセル230が接続されている。この結果配置データが生成され、配置データは図5に示す配置データ格納領域370に格納される。

【0028】

(ヘ) 次に、ステップS161において、図4に示すクロック配線部52aは、例えば図7に示すF/F11a～11fに対してクロック配線をする。更にステップS162において、図4に示す一般配線部52bは、例えばNAND回路210a～210d、インバータ220a～220c、及びスイッチセル230のそれぞれに対して一般配線をする。この結果レイアウトが作成され、レイアウトは図5に示すレイアウト格納領域380に格納される。

【0029】

(ト) 次に、ステップS107において、図4に示すスイッチセル最適化部53は、仮想グラウンド線70の電位が上限電位を超えた場合、スイッチセル230の構造を最適化する。配線後においては、仮想グラウンド線70を含む各配線の実抵抗値や実容量値が得られるので、精度の高い仮想グラウンド線70の電位上昇解析及びスイッチセル最適化が実行される。

【0030】

(チ) 次に、ステップS108において、図1に示すタイミング解析部6は、通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び配線パラメータに基づき、レイアウト格納領域370に格納されたレイアウトに対してタイミング解析を実行する。図7においては、配線240a、240b、240c、及び240dのそれぞれの遅延時間を T_{wire1} 、 T_{wire2} 、 T_{wire3} 、及び T_{wire4} 、NAND回路210a及び210dのそれぞれの遅延時間を T_{nand1} 及び T_{nand2} 、及びインバータ220bの遅延時間を T_{not} とすると、パス遅延時間 T_{delay} は：

$$T_{delay} = T_{wire1} + T_{nand1} + T_{wire2} + T_{not} + T_{wire3} + T_{nand2} + T_{wire4} \cdots (1)$$

となる。タイミング解析が終了すると回路自動設計処理が終了する。

【0031】

式(1)を見ると、セルライブラリ作成の前に仮想グラウンド線の上限電位を設定することにより、タイミング解析時において放電遅延を個別に考慮したパス遅延解析を実行する必要が無いことが分かる。放電遅延を個別に考慮したパス遅延解析は長時間を要する。このように第1の実施の形態によれば、タイミング解析の所要時間を短縮できる。更に、仮想グラウンド線の電位が上限電位を超える場合にのみスイッチセル構造を最適化することにより、スイッチセル面積の増加を最小限に抑え、設計された回路全体の回路規模を削減できる。

【0032】

(第1の実施の形態の第1の変形例)

第1の実施の形態の第1の変形例に係る回路自動設計装置として、図9に示すように、配置部510が、仮想グラウンド線を共有する低閾値セルとスイッチセルとの距離を短縮させる抵抗最小化部510aを更に備える構成でも良い。即ち、抵抗最小化部510aは、仮想グラウンド線を共有する低閾値セルとスイッチセルとの距離を短縮させることにより、仮想グラウンド線の配線抵抗及び配線容量を最小化する。尚、配置段階では仮想グラウンド線を含む各配線は存在しないので、抵抗最小化部510aは仮想見積もりにより各配線の抵抗値及び容量値を算出する。

【0033】

例えば、図10に示す仮想グラウンド線70に接続されたNAND回路210a、210d、及びインバータ220bにおいて、NAND回路210a、210d、及びインバータ220bのそれぞれの出力信号が同時に立ち下がる際に放電電流I1、I2、及びI3の総和が最大となる。仮想グラウンド線の配線抵抗が大きいと放電電流I1、I2、及びI3がスイッチセル230に流れにくくなる。放電電流I1、I2、及びI3がスイッチセル230に流れにくくなると、NAND回路210a、210d、及びインバータ220bのそれぞれの放電遅延が増大する。

【0034】

よって、例えば図11に示す回路例においては、抵抗最小化部510aは、AND回路81a、81d、インバータ83a、83b、及びOR回路82aと、スイッチセルTr10との距離を短縮させる。更に抵抗最小化部510aは、AND回路81b、81c、81e、及びOR回路82b、82cと、スイッチセルTr11との距離を短縮させる。この結果、仮想グラウンド線700及び701のそれぞれの配線抵抗が低減される。仮想グラウンド線の配線抵抗を低減できるので、放電遅延の増加を防止できる。

【0035】

(第1の実施の形態の第2の変形例)

第1の実施の形態の第2の変形例に係る回路自動設計装置として、図12に示すように、配線部521が、段数の等しい低閾値セルに接続する仮想グラウンド線を他の段数に存在する低閾値セルに接続するように変更する仮想グラウンド線最適化部522を更に備える構成でも良い。

【0036】

図13に示す論理回路においては、AND回路13a、OR回路14b、及びNAND回路15bは初段に配置され、互いに同期して演算を行う。また、OR回路14a、AND回路13b及び13cは2段目に配置され、互いに同期して演算を行う。NAND回路15a、インバータ16、及びNOR回路17が3段目に配置され、互いに同期して演算を行う。更に、図13に示す論理回路においては、F/F12a~12h、スイッチセルTr12~Tr15、及びスイッチ端子90~93が配置されている。

【0037】

互いに同期して演算を行うセル群、即ちAND回路13a、OR回路14b、及びNAND回路15bは同時放電を生じ易いため、仮想グラウンド線70aの電位増加が生じる。これに対して仮想グラウンド線70b、70c、及び70dは、段数の異なるセルに接

続されているため電位上昇は生じにくい。図12に示す仮想グラウンド線最適化部522は、図14に示すように、仮想グラウンド線70eを他の段数に存在する低閾値セル、即ちAND回路13a、13b、及びNOR回路17に接続するように変更する。したがって、図13に示す仮想グラウンド線70aに生じる電位上昇を防止できる。

【0038】

(第2の実施の形態)

本発明の第2の実施の形態に係る回路自動設計装置として、図15に示すように、設定部200が、タイミング制約判定部202、オン抵抗算出部203、放電時間算出部204、及び上限電位算出部205を更に備える構成でも良い。また、データ取得部21bは、仕様情報、タイミング制約、及び配線パラメータを取得する。

【0039】

更に、タイミング制約判定部202は、仕様情報に基づき、通常セル及び低閾値セルのセル数を予測して各セルの許容遅延時間を算出する。オン抵抗算出部203は、通常セル用セルライブラリとトランジスタ特性に基づき、スイッチセルのオン抵抗を算出する。放電時間算出部204は、配線パラメータ及びオン抵抗に基づき、低閾値セルの放電時間を算出し、放電時間から低閾値セルの遅延時間を算出する。上限電位算出部205は、許容遅延時間と遅延時間とを比較して上限電位を算出する。

【0040】

また、データ記憶装置30bが、図16に示すように、許容遅延時間格納領域400、オン抵抗格納領域410、及び低閾値セル遅延時間格納領域420を更に備える点が図5に示すデータ記憶装置30aと異なる。許容遅延時間格納領域400には、タイミング制約判定部202が算出した許容遅延時間が格納される。オン抵抗格納領域410には、オン抵抗算出部203が算出したオン抵抗が格納される。低閾値セル遅延時間格納領域420には、放電時間算出部204が算出した低閾値セルの遅延時間が格納される。上限電位格納領域330bには、上限電位算出部205が算出した上限電位が格納される。その他の構成については、図1に示す回路自動設計装置1aの構成と同様である。

【0041】

次に、図15～図17を用いて、第2の実施の形態に係る回路自動設計方法を説明する。但し、第1の実施の形態に係る回路自動設計方法と重複する説明は省略する。

【0042】

(イ) 先ず、図17のステップS121において、図15に示すデータ取得部21bは、図16に示す仕様情報格納領域310、タイミング制約格納領域320、及び配線パラメータ格納領域390のそれぞれから仕様情報、タイミング制約、及び配線パラメータを取得する。

【0043】

(ロ) 次に、図17のステップS201において、図15に示すタイミング制約判定部202は、仕様情報に基づき、通常セル及び低閾値セルのセル数を予測して各セルの許容遅延時間を算出する。

【0044】

(ハ) 次に、ステップS202において、オン抵抗算出部203は、通常セル用セルライブラリとトランジスタ特性に基づき、スイッチセルのオン抵抗を算出する。

【0045】

(ニ) 次に、ステップS203において、放電時間算出部204は、配線パラメータ及び算出されたオン抵抗に基づき、低閾値セルの放電時間を算出する。更に、放電時間算出部204は算出された低閾値セルの放電時間から低閾値セルの遅延時間を算出する。

【0046】

(ホ) 次に、ステップS204において、上限電位算出部205は、ステップS201で算出された各セルの許容遅延時間とステップS203で算出された低閾値セルの遅延時間とを比較して、仮想グラウンド線の上限電位を算出する。

【0047】

このように、第2の実施の形態によれば、仮想グラウンド線の上限電位を適切な電位に設定できる。したがって、低閾値セル用セルライブラリを高精度に作成できるので、仮想グラウンド線の電位が上限電位を超えることを防止できる。

【0048】

(第3の実施の形態)

本発明の第3の実施の形態に係る回路自動設計装置1bは、図18に示すように、処理装置10bが、回路修正判定部7及び回路追加判定部8を更に備える点が図1に示す処理装置10aと異なる。回路修正判定部7は、タイミング解析の結果に応じてレイアウトの一部を修正するか否かを判定する。回路追加判定部8は追加回路の有無を判定し、通常セル用セルライブラリ及び低閾値セル用セルライブラリを用いて追加回路に対してレイアウトを作成する。その他の構成については、図1に示す回路自動設計装置1aの構成と同様である。

【0049】

次に、図18及び図19を用いて、第3の実施の形態に係る回路自動設計方法を説明する。但し、第1の実施の形態に係る回路自動設計方法と重複する説明は省略する。

【0050】

(イ) 図19のステップS109において、図18に示す回路修正判定部7はステップS108の結果に応じてレイアウトを一部修正するか否かを判定する。レイアウトを一部修正すると判定された場合、ステップS107に処理が戻る。レイアウトを一部修正しないと判定された場合、ステップS110に進む。

【0051】

(ロ) 次に、ステップS110において、追加回路の有無を判定する。追加回路が有ると判定された場合ステップS151に戻り、通常セル用セルライブラリ及び低閾値セル用セルライブラリを用いて追加回路に対してレイアウトが作成される。追加回路が無いと判定された場合は処理が終了する。

【0052】

このように第3の実施の形態によれば、タイミング解析でタイミング制約を満たさない場合にスイッチセルの構造を最適化することによりタイミング制約を満たすことができる。更に、追加回路の有無を判定することにより、既に作成された低閾値セル用セルライブラリを用いてレイアウトを作成できる。

【0053】

(その他の実施の形態)

上記のように、本発明は第1～第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0054】

上述した第1～第3の実施の形態においては、図3に示す低閾値セル用セルライブラリ作成部32が通常セル用セルライブラリに対応する低閾値セル用セルライブラリを作成するとして説明した。しかし、低閾値セル用セルライブラリ作成部32は使用頻度の高い一部のセルに対してのみ低閾値用セルライブラリを作成しても良い。

【0055】

また、第1～第3の実施の形態においては、図4に示すスイッチセル最適化部53が、配線処理後にスイッチセルの構造を最適化する一例を説明したが、配置処理後にスイッチセルの構造を最適化しても良い。或いは、スイッチセル最適化部53は、配置処理後及び配線処理後のそれぞれにおいてスイッチセルの構造を最適化しても良い。

【0056】

更に、第1～第3の実施の形態においては、図4に示すスイッチセル配置部51cが、近くに存在する複数の低閾値セルからなる低閾値セル群に1つのスイッチセルを接続する一例を説明した。しかし、スイッチセル配置部51cは、1つの低閾値セルに対して1つのスイッチセルを配置しても良い。また、スイッチセル配置部51cは、低閾値セル群が

1つの仮想グラウンド線を共有し、1つの仮想グラウンド線に複数個のスイッチセルを配置しても良い。

【0057】

このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【図面の簡単な説明】

【0058】

【図1】第1の実施の形態に係る回路自動設計装置の構成を示すブロック図である。

【図2】第1の実施の形態に係る設定部の構成を示すブロック図である。

【図3】第1の実施の形態に係るセルライブラリ作成部の構成を示すブロック図である。

【図4】第1の実施の形態に係る配置配線部の構成を示すブロック図である。

【図5】第1の実施の形態に係るデータ記憶装置の構成を示すブロック図である。

【図6】第1の実施の形態に係る回路自動設計方法を示すフローチャートである。

【図7】第1の実施の形態に係る回路自動設計方法を説明するための論理回路の回路ブロック図である。

【図8】図7に示す論理回路の一部分の内部回路の構成を示す回路図である。

【図9】第1の実施の形態の第1の変形例に係る配置配線部の構成を示すブロック図である。

【図10】第1の実施の形態の第1の変形例に係る配置配線部の機能を説明するための回路ブロック図である。

【図11】第1の実施の形態の第1の変形例に係る配置配線部の機能を説明するための回路ブロック図である。

【図12】第1の実施の形態の第2の変形例に係る配置配線部の構成を示すブロック図である。

【図13】第1の実施の形態の第2の変形例に係る配置配線部の機能を説明するための回路ブロック図である（その1）。

【図14】第1の実施の形態の第2の変形例に係る配置配線部の機能を説明するための回路ブロック図である（その2）。

【図15】第2の実施の形態に係る設定部の構成を示すブロック図である。

【図16】第2の実施の形態に係るデータ記憶装置の構成を示すブロック図である。

【図17】第2の実施の形態に係る回路自動設計方法を示すフローチャートである。

【図18】第3の実施の形態に係る回路自動設計装置の構成を示すブロック図である。

【図19】第3の実施の形態に係る回路自動設計方法を示すフローチャートである。

【符号の説明】

【0059】

1 a、1 b…回路自動設計装置

2 a、2 0 0…設定部

3 a…セルライブラリ作成部

4…論理合成部

5 a…配置配線部

6…タイミング解析部

7…回路修正判定部

8…回路追加判定部

1 0 a、1 0 b…処理装置

1 3 a～1 3 c、8 1 a～8 1 e…AND回路

1 4 a、1 4 b、8 2 a～8 2 c…OR回路

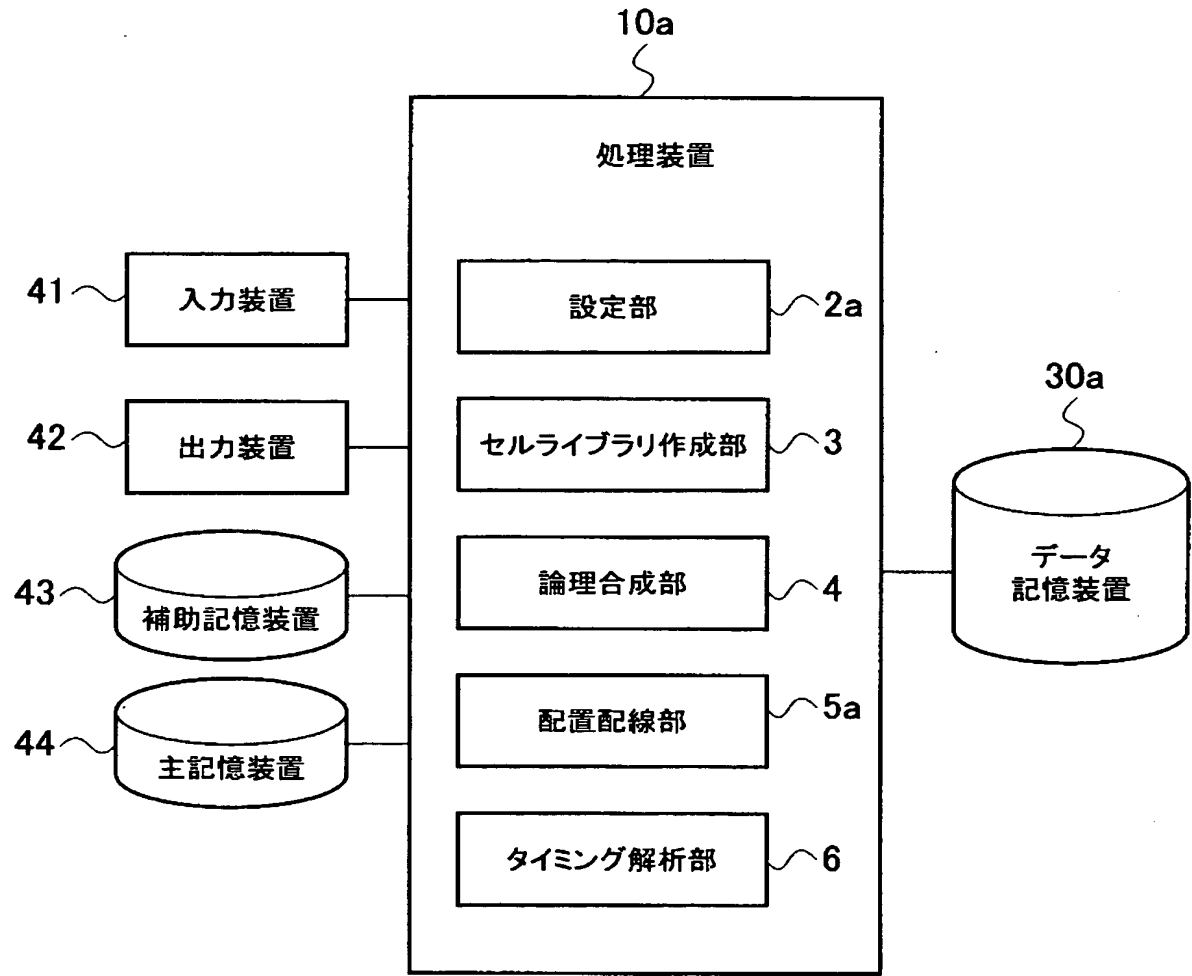
1 5 a、1 5 b、2 1 0 a～2 1 0 d…NAND回路

1 6、8 3 a、8 3 b…インバータ
1 7…N O R 回路
2 1 a、2 1 b…データ取得部
2 2…上限電位設定部
3 0 a、3 0 b…データ記憶装置
3 1…遅延時間算出部
3 2…低閾値セル用セルライブラリ作成部
4 1…入力装置
4 2…出力装置
4 3…補助記憶装置
4 4…主記憶装置
5 1、5 1 0…配置部
5 1 a…通常セル配置部
5 1 b…低閾値セル配置部
5 1 c…スイッチセル配置部
5 2…配線部
5 2 a…クロック配線部
5 2 b…一般配線部
5 3…スイッチセル最適化部
7 0、7 0 a～7 0 g…仮想グラウンド線
9 0～9 3…スイッチ端子
2 0 2…タイミング制約判定部
2 0 3…オン抵抗算出部
2 0 4…放電時間算出部
2 0 5…上限電位算出部
2 1 1 a、2 1 1 b、2 2 1 a…入力端子
2 1 1 c、2 2 1 b…出力端子
2 1 1 d、2 2 1 c…グラウンド端子
2 2 0 a～2 2 0 c…インバータ
2 3 0…スイッチセル
2 4 0 a～2 4 0 d…配線
3 1 0…仕様情報格納領域
3 2 0…タイミング制約格納領域
3 3 0 a、3 3 0 b…上限電位格納領域
3 4 0…第 1 セルライブラリ格納領域
3 5 0…第 2 セルライブラリ格納領域
3 6 0…ネットリスト格納領域
3 7 0…配置データ格納領域
3 8 0…レイアウト格納領域
3 9 0…配線パラメータ格納領域
4 0 0…許容遅延時間格納領域
4 1 0…オン抵抗格納領域
4 2 0…低閾値セル遅延時間格納領域
5 1 0 a…抵抗最小化部
5 2 2…仮想グラウンド線最適化部
7 0 0、7 0 1…仮想グラウンド線
T r 1～T r 1 5…スイッチセル

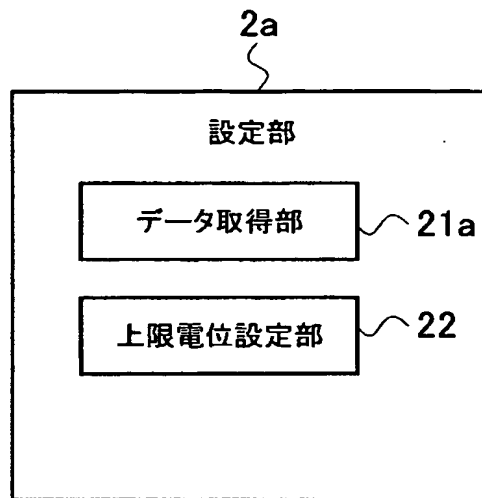
【書類名】 図面

【図 1】

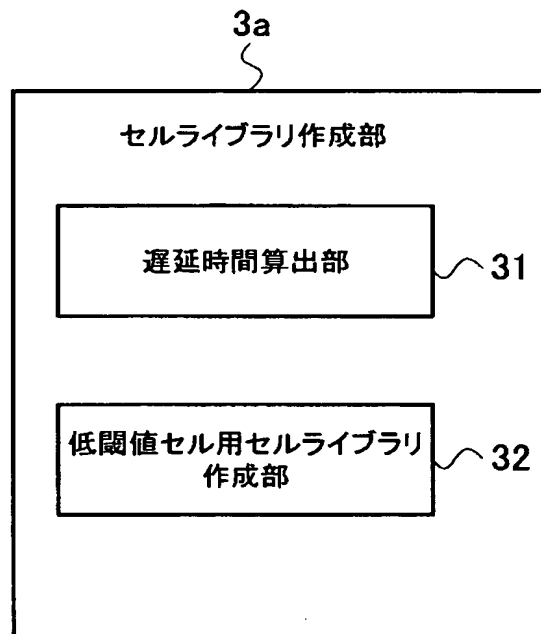
1a 回路自動設計装置



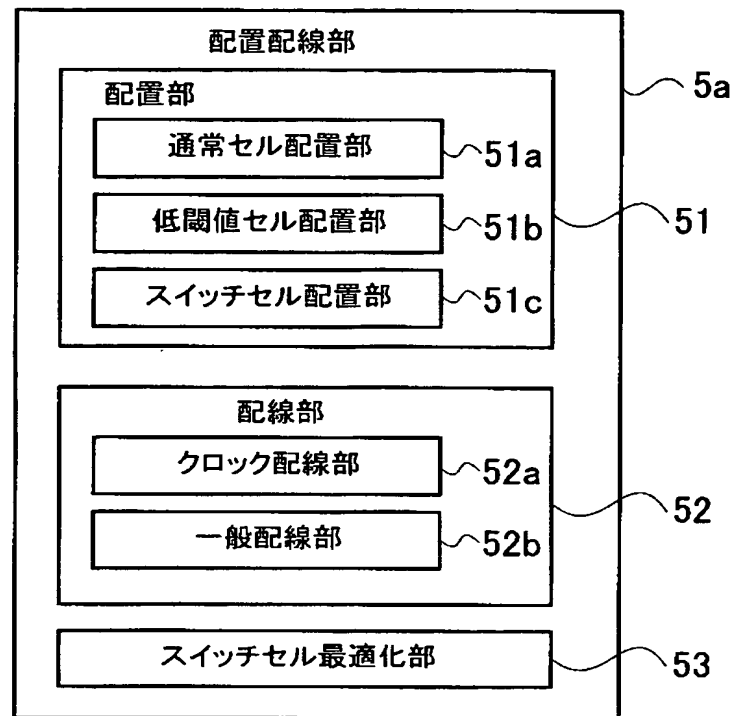
【図 2】



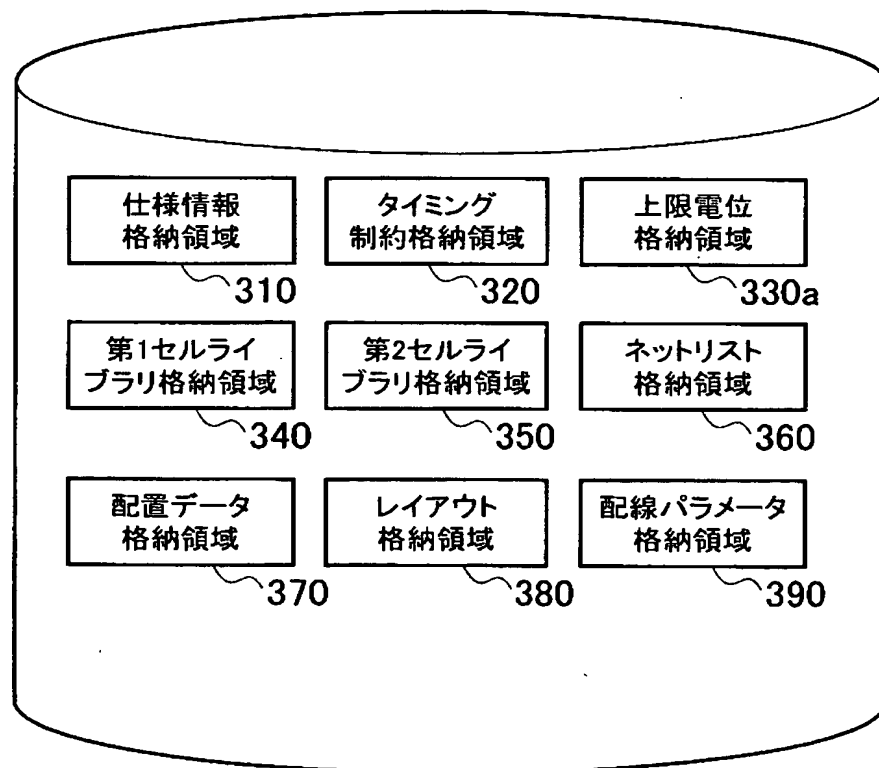
【図 3】



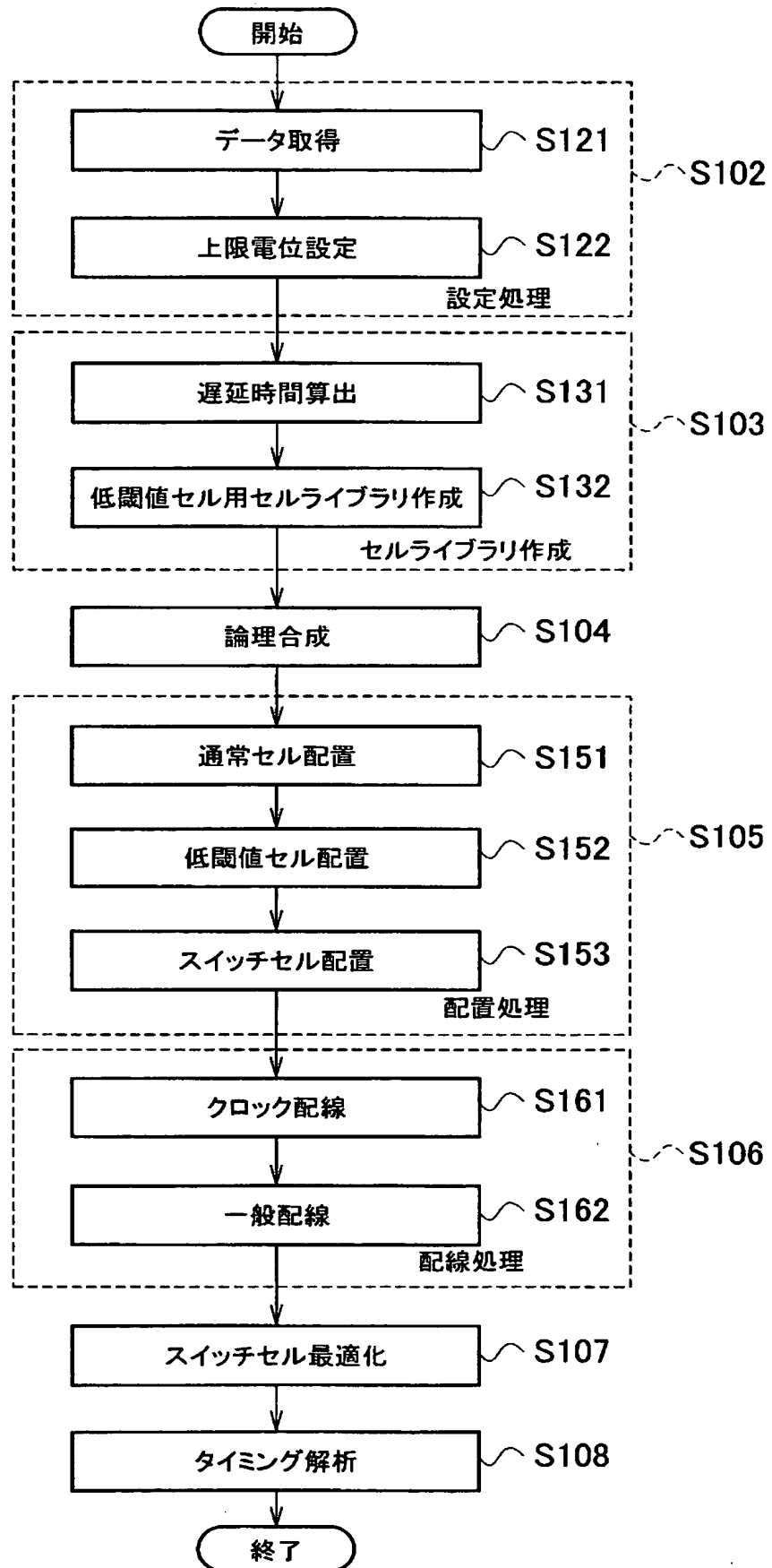
【図 4】



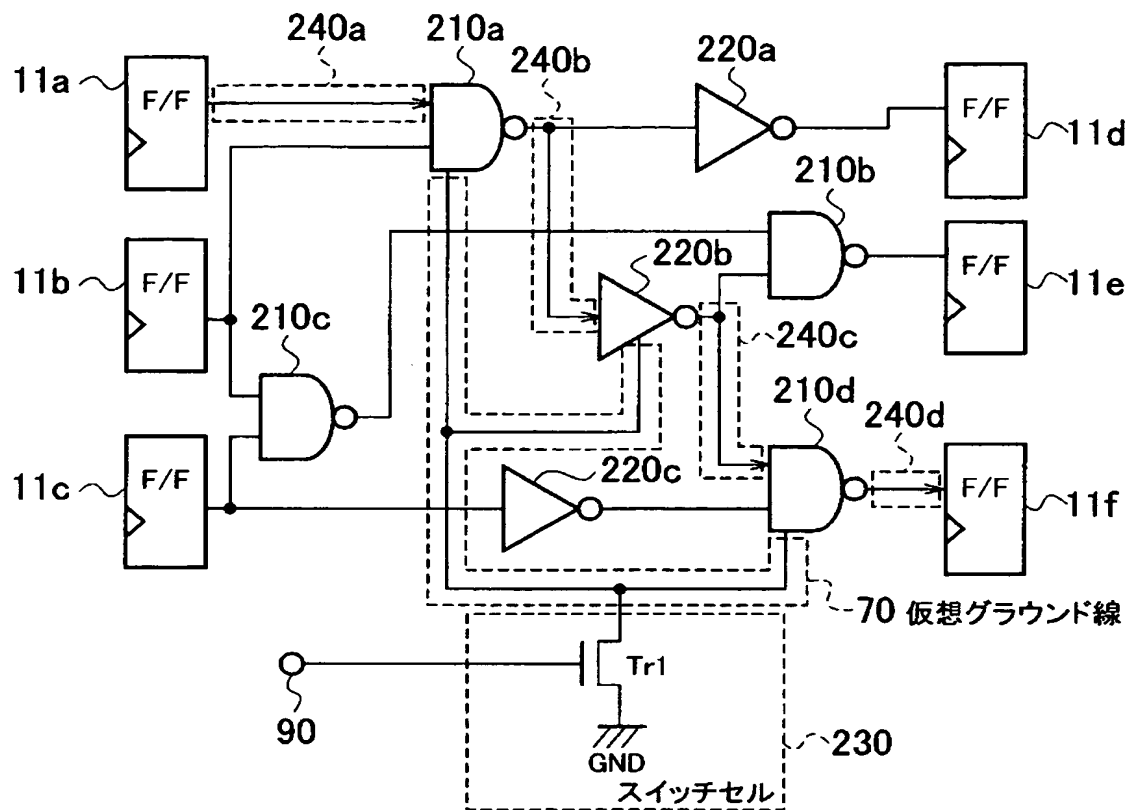
【図 5】

30a データ記憶装置

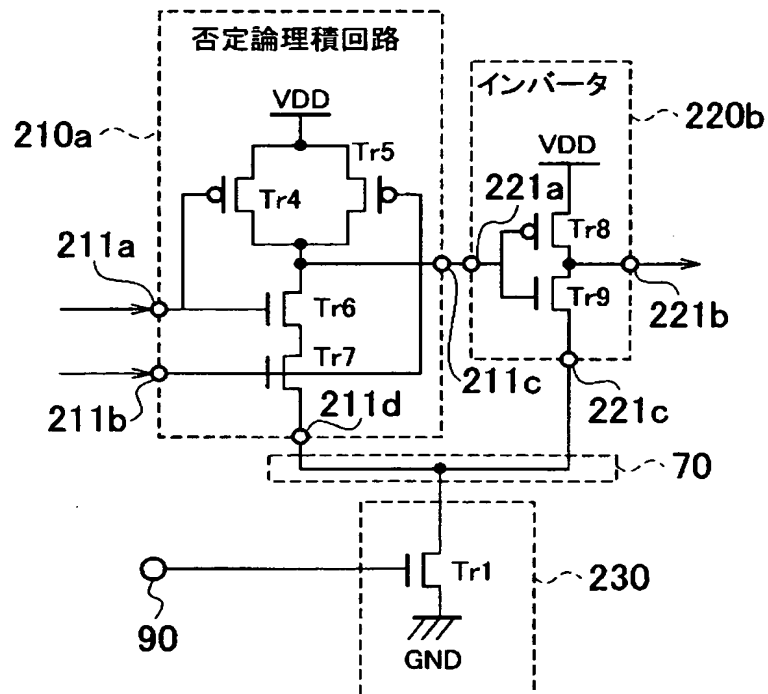
【図 6】



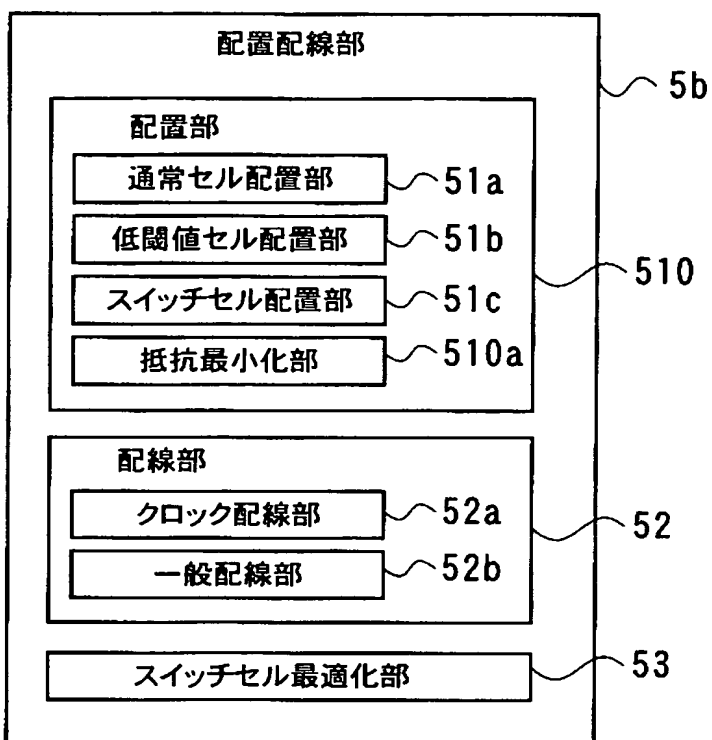
【図 7】



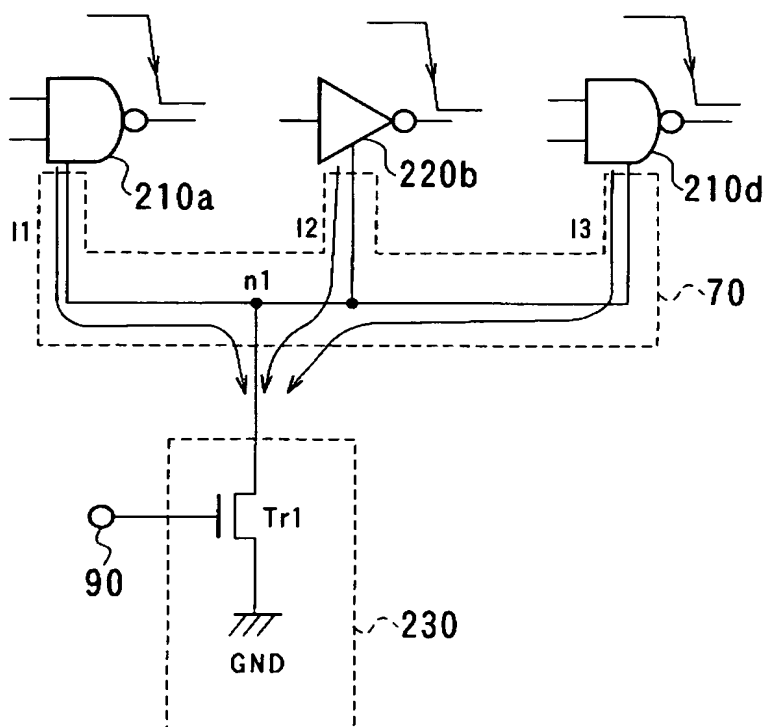
【図 8】



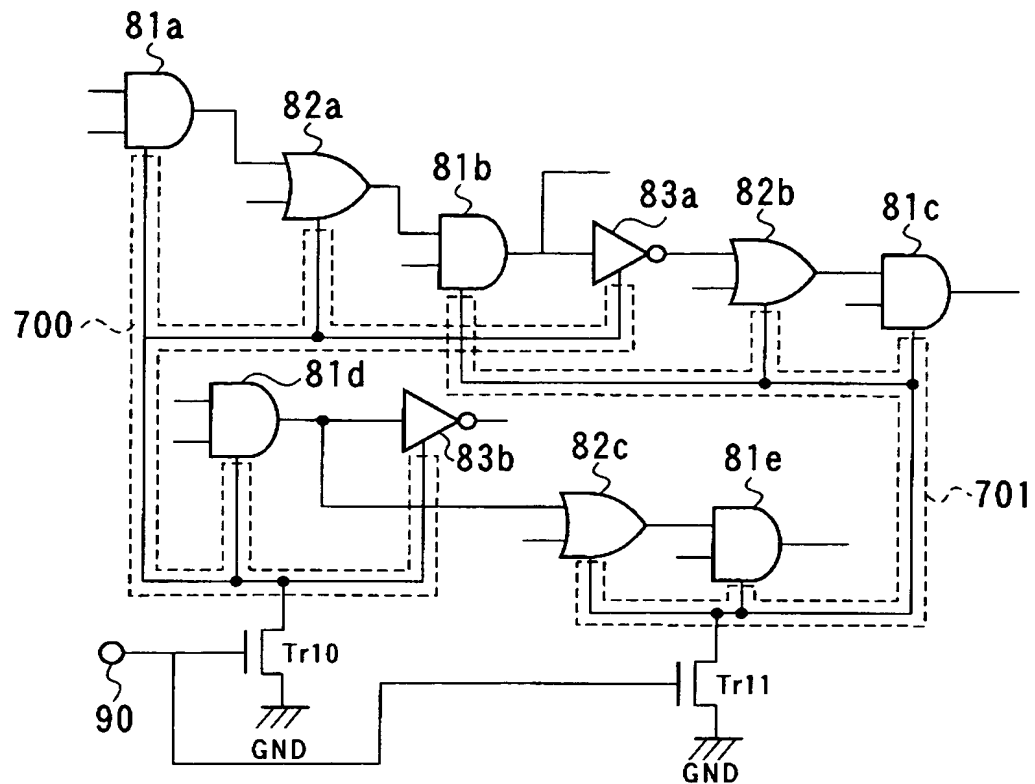
【図 9】



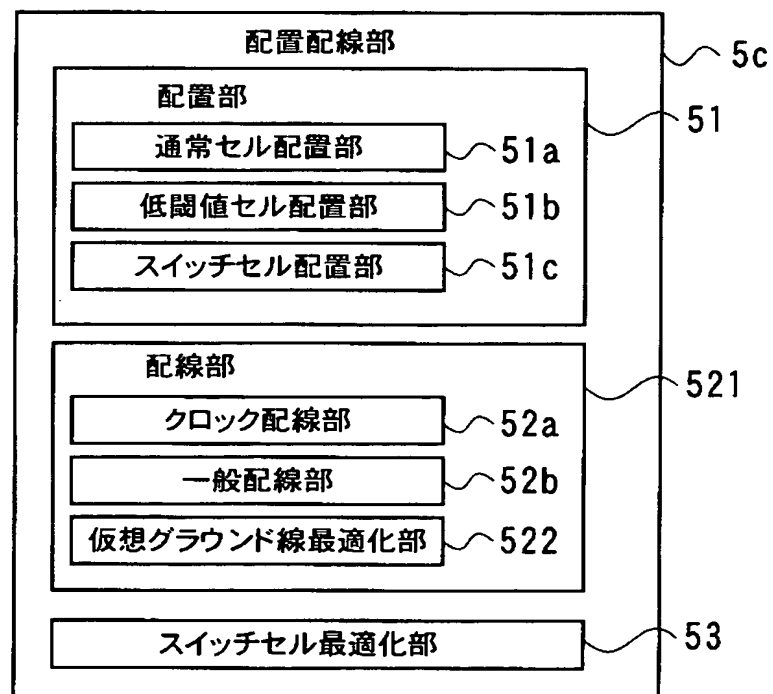
【図 10】



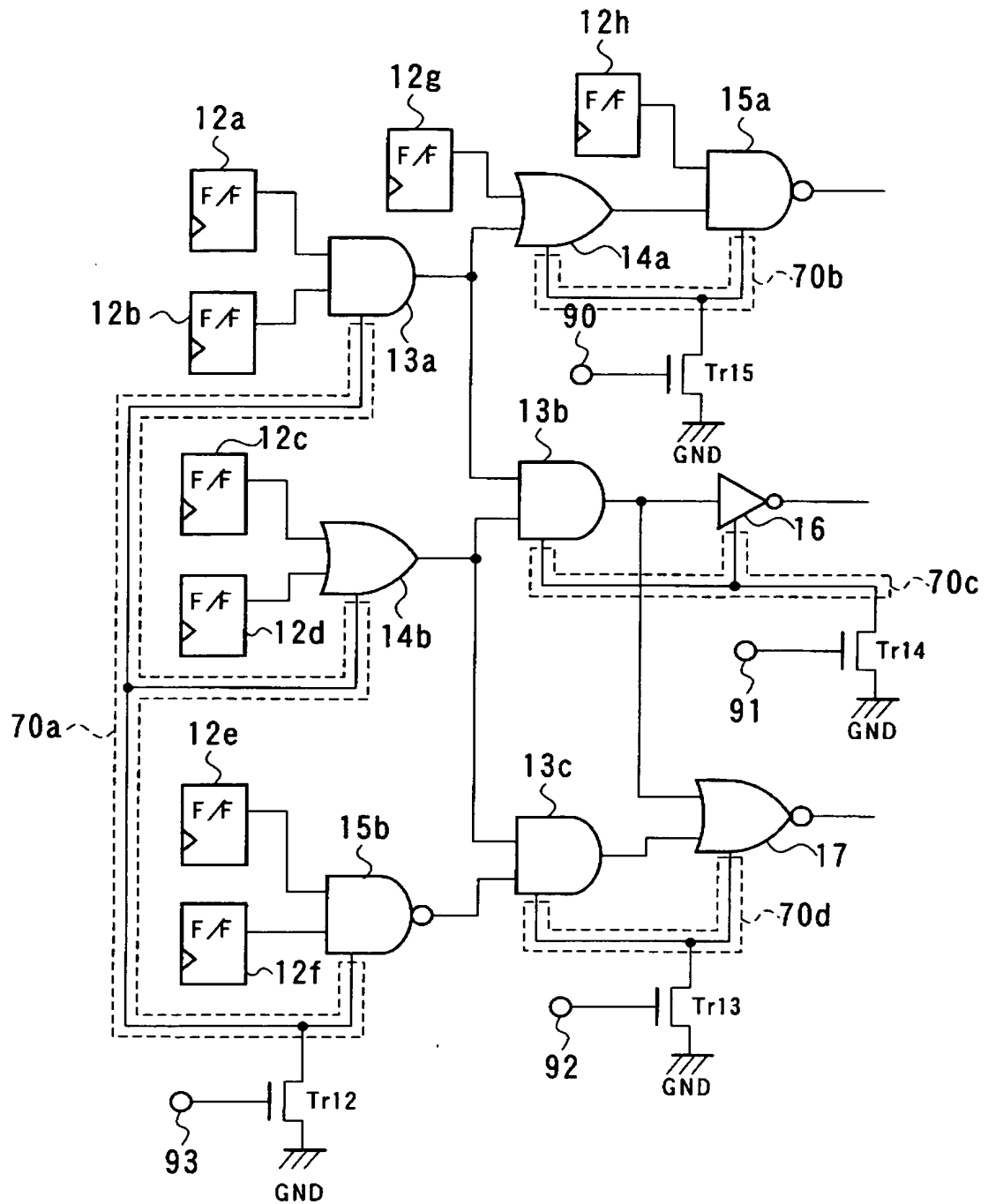
【図 11】



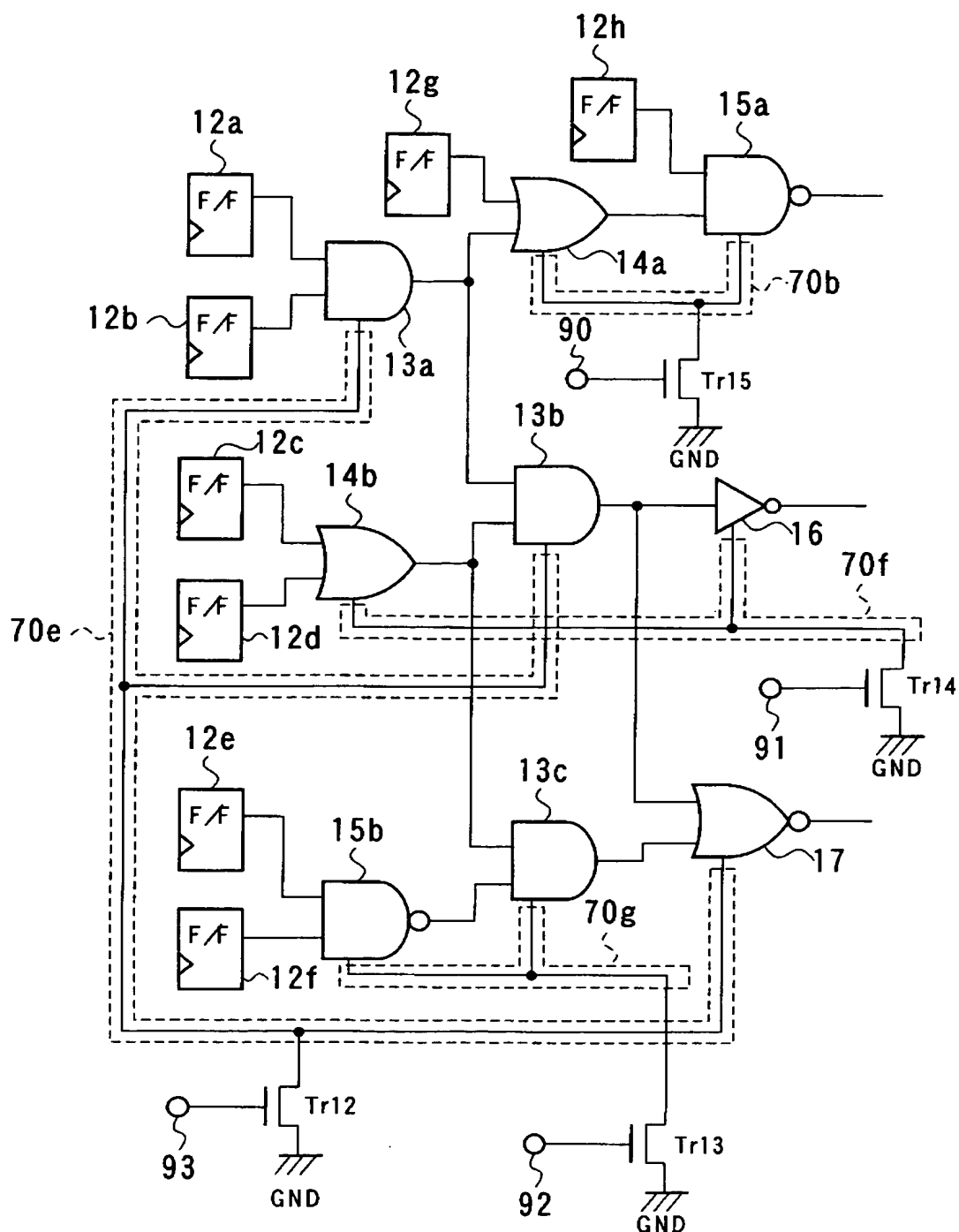
【図 12】



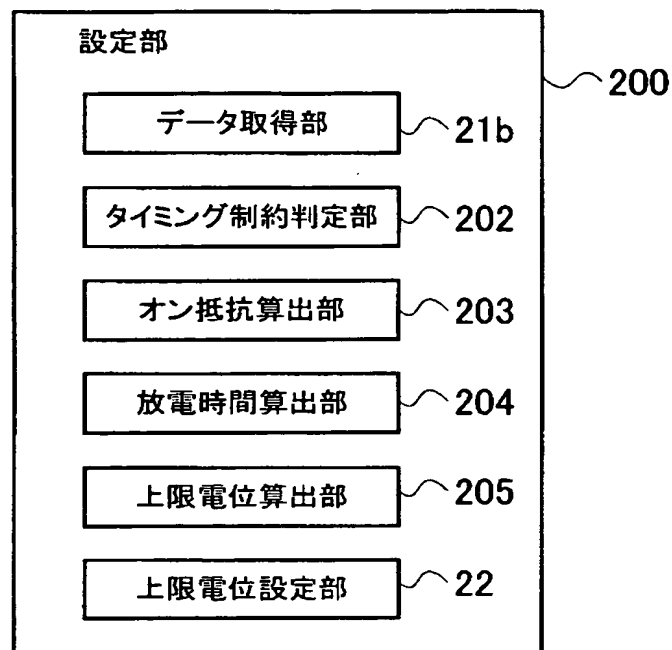
【図 13】



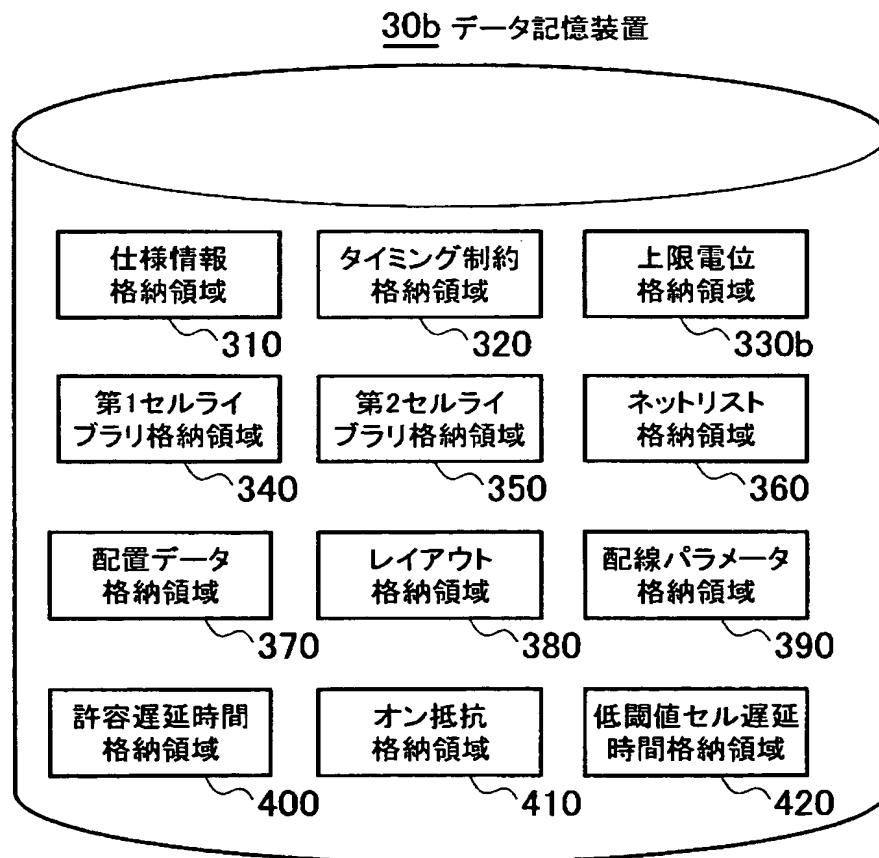
【図 14】



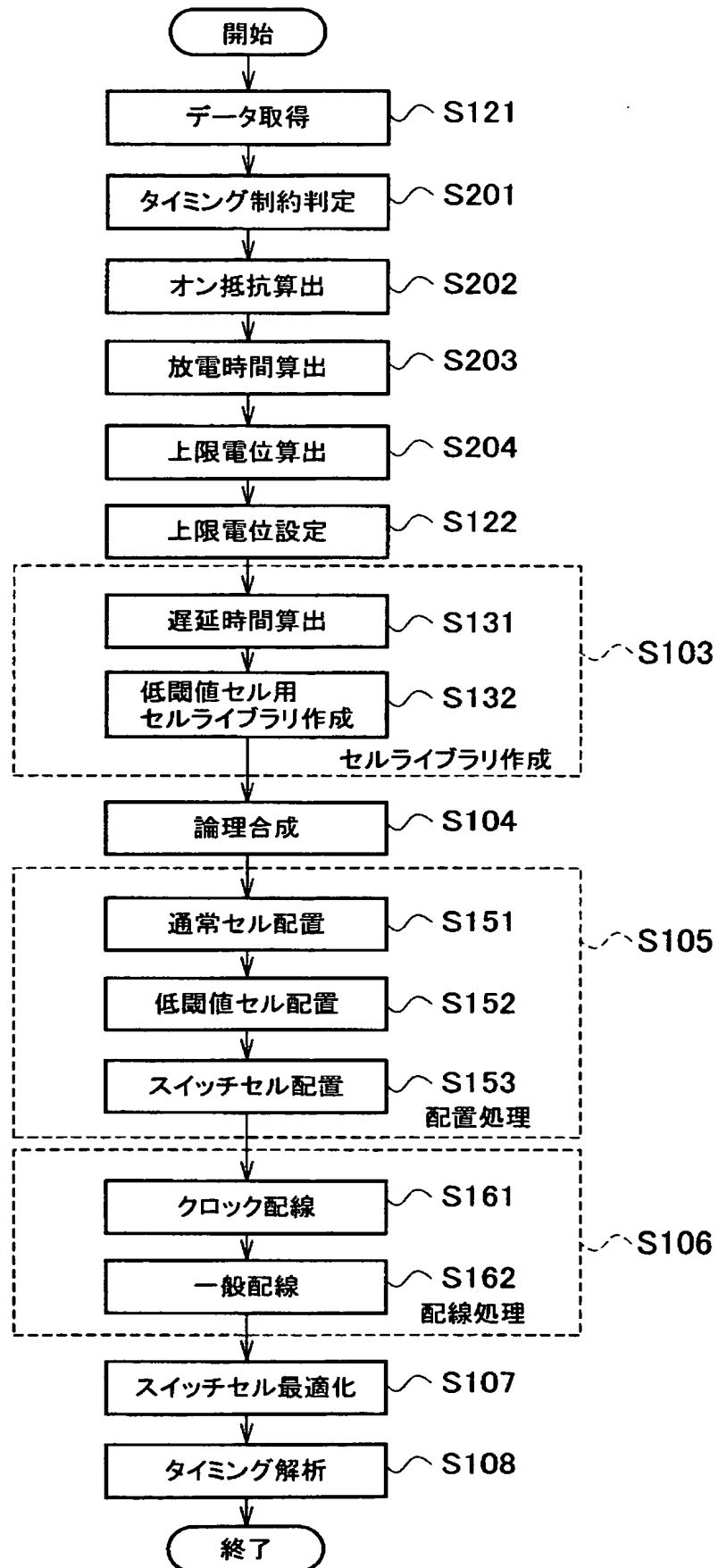
【図 15】



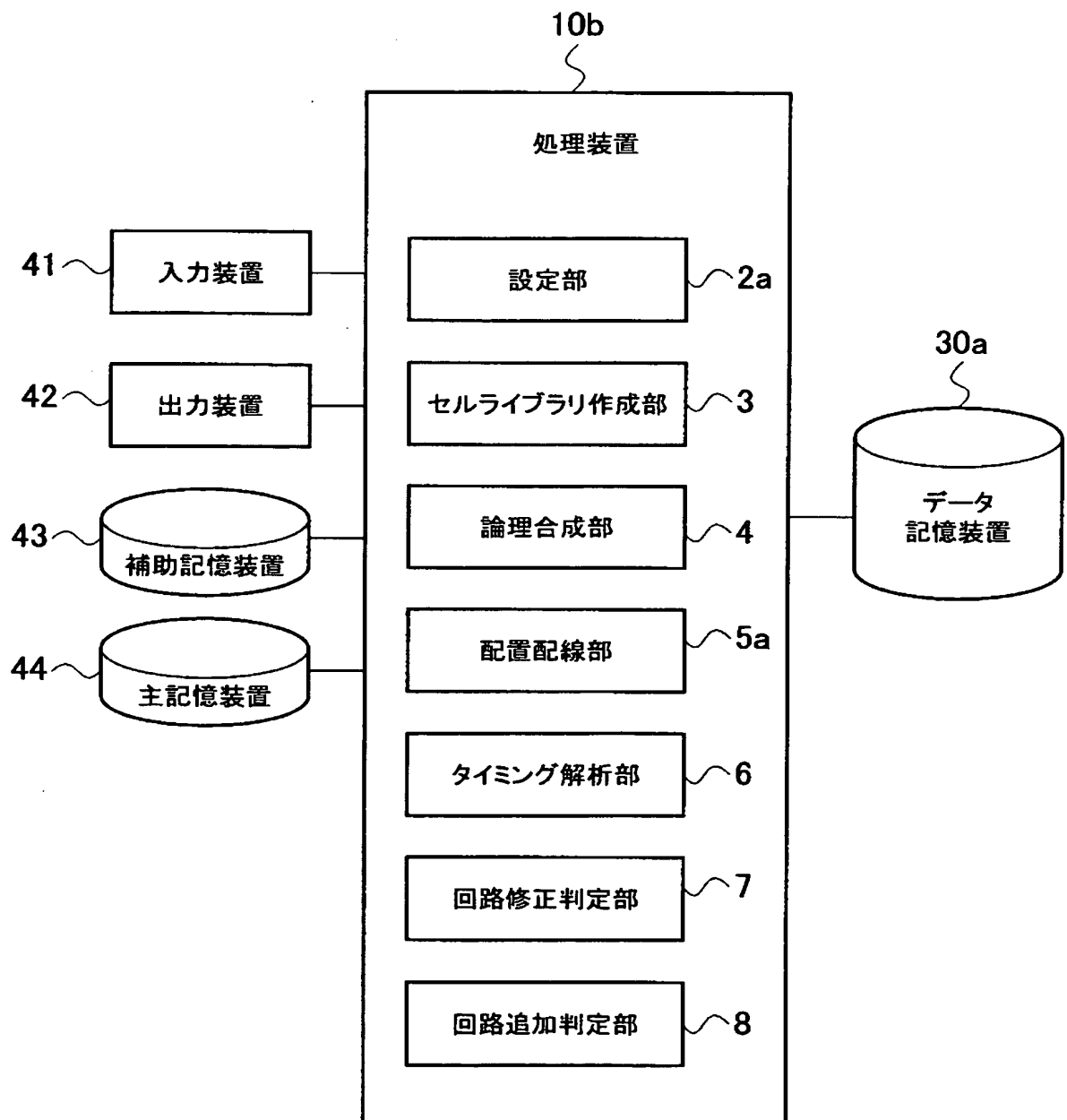
【図 16】



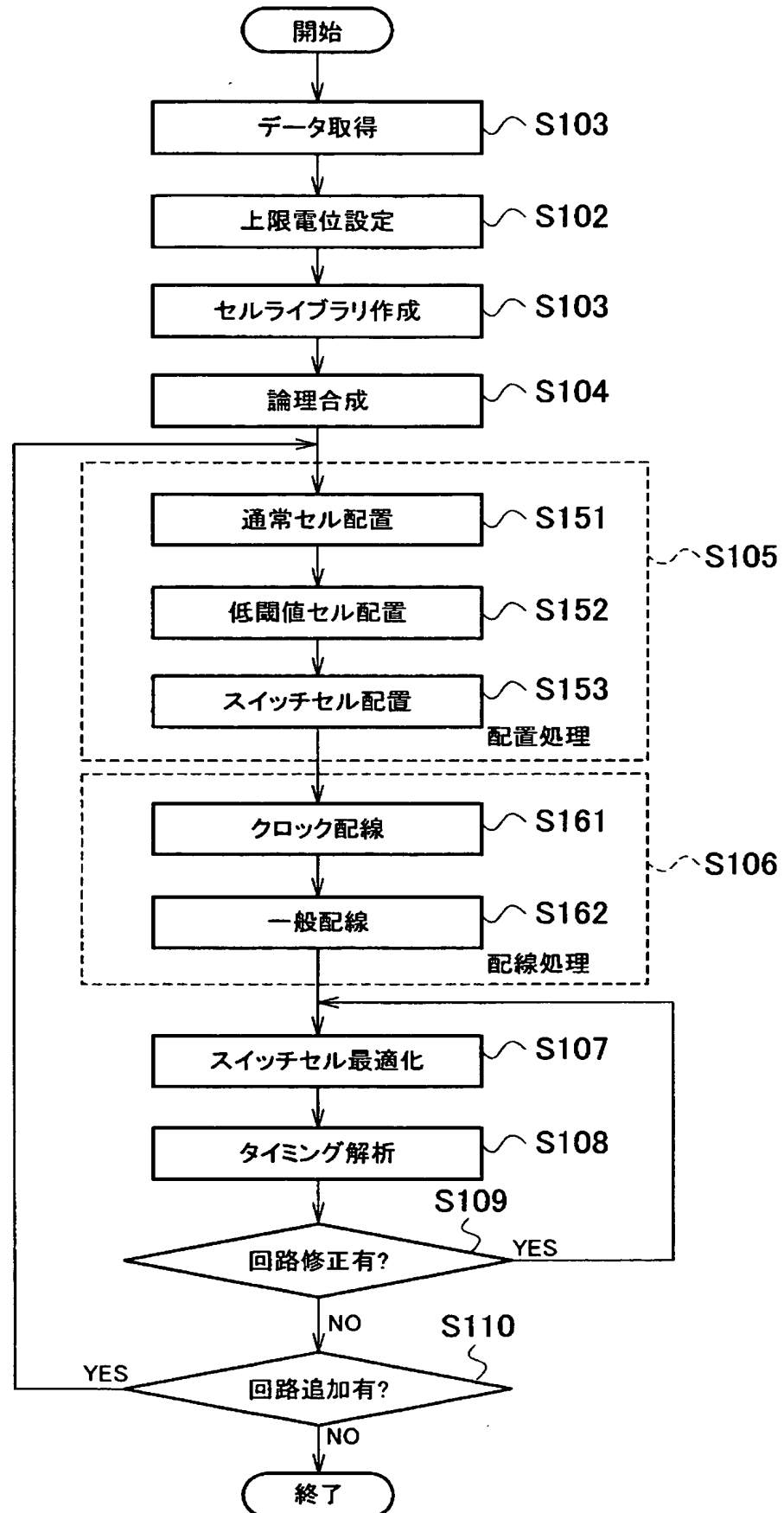
【図 17】



【図 18】

1b 回路自動設計装置

【図 19】



【書類名】 要約書

【要約】

【課題】 小回路規模且つ低消費電力動作可能な半導体集積回路を短期間で設計可能な回路自動設計装置を提供する。

【解決手段】 通常セル用セルライブラリ及び設計対象回路の仕様情報を取得し、設計対象回路における仮想グラウンド線の上限電位を設定する設定部 2 a、上限電位を用いて低閾値セル用セルライブラリを作成するセルライブラリ作成部 3、仕様情報を論理合成してネットリストを生成する論理合成部 4、ネットリスト、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する配置配線部 5 a を備える。

【選択図】 図 1

特願 2 0 0 3 - 3 7 0 9 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝

特願 2 0 0 3 - 3 7 0 9 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 9 9]

1. 変更年月日

1 9 9 0 年 8 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市川崎区駅前本町 2 5 番地 1

氏 名

東芝マイクロエレクトロニクス株式会社